



PATENTS

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

<b>Applicants:</b>	Takayuki SUZU	<b>Examiner:</b>	Unassigned
<b>Serial No:</b>	10/614,955	<b>Art Unit:</b>	Unassigned
<b>Filed:</b>	July 8, 2003	<b>Docket:</b>	16815
<b>For:</b>	SEMICONDUCTOR MEMORY DEVICE	<b>Dated:</b>	October 16, 2003

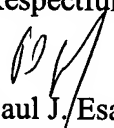
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**CLAIM OF PRIORITY**

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 2002-198953 filed July 8, 2002.

Respectfully submitted,

  
Paul J. Esatto, Jr.  
Registration No.: 30,749

Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, New York 11530  
(516) 742-4343

---

**CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)**

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on October 16, 2003.

Dated: October 16, 2003

  
Paul J. Esatto, Jr.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 8日

出 願 番 号

Application Number:

特願2002-198953

[ ST.10/C ]:

[ JP2002-198953 ]

出 願 人

Applicant(s):

エヌイーシーマイクロシステム株式会社

2003年 5月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3034317

【書類名】 特許願

【整理番号】 01211775

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10  
G11C 11/41

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町 1 丁目 4 0 3 番 5 3 エヌ  
イーシーマイクロシステム株式会社内

【氏名】 鈴 貴幸

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 エヌイーシーマイクロシステム株式会社

【代理人】

【識別番号】 100099195

【弁理士】

【氏名又は名称】 宮越 典明

【手数料の表示】

【予納台帳番号】 030889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9205152

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 チップの上辺及び下辺にそれぞれ配置された入力ピン列及び出力ピン列と、

チップ水平方向に配置されたディジット線と、チップ垂直方向に配置されたワード線と、により構成される偶数個のメモリセルに分割されたメモリセルプレートと、

前記分割された各々 2 枚のメモリセルの間に配置された X デコード回路と、

左右に配置された半数ずつのメモリセルプレートのチップ中央側にそれぞれ配置された Y セレクト回路とセンスアンプ回路と、

左右に配置された半数ずつのメモリセルプレートのチップ外側にそれぞれ配置された X プリデコード回路と、

アドレス回路と、

前記アドレス回路の変化を検出し、パルスを発生する A T D 回路と、

前記 A T D 回路の出力を合成し、1 つのパルス合成を行う A T D パルス合成回路と、

前記 A T D 合成パルス回路の出力を入力信号とし、センスアンプデータラッチ信号と、出力データラッチ信号と、を出力する D E L A Y 回路と、

出力回路と、からなる半導体記憶装置において、

前記 A T D パルス合成回路は、チップ中央部に左右に配置された前記センスアンプ回路の間であって、チップ中央に配置され、

前記入力ピン列と前記メモリセルプレートとの間に少なくとも前記アドレス回路と前記 A T D 回路及び前記 D E L A Y 回路が配置されたことを特徴とする半導体記憶装置。

【請求項 2】 チップの上辺及び下辺にそれぞれ配置された入力ピン列及び出力ピン列と、

チップ水平方向に配置されたディジット線と、チップ垂直方向に配置されたワード線と、により構成される偶数個のメモリセルに分割されたメモリセルプレー

トと、

前記分割された各々 2 枚のメモリセルの間に配置された X デコード回路と、

左右に配置された半数ずつのメモリセルプレートのチップ中央側にそれぞれ配置された Y セレクト回路とセンスアンプ回路と、

左右に配置された半数ずつのメモリセルプレートのチップ外側にそれぞれ配置された X プリデコード回路と、

アドレス回路と、

前記アドレス回路の変化を検出し、パルスを発生する A T D 回路と、

前記 A T D 回路の出力を合成し、1 つのパルス合成を行う A T D パルス合成回路と、

不良救済用の E C C 救済回路と、

前記 A T D パルス合成回路の出力を入力信号とし、センスアンプデータラッチ信号と、E C C 訂正データラッチ信号と、出力データラッチ信号と、を発生する D E L A Y 回路と、

出力回路と、からなる半導体記憶装置において、

前記 A T D パルス合成回路は、チップ中央部に左右に配置された前記センスアンプ回路の間であって、チップ中央に配置され、

前記不良救済用の E C C 救済回路は、前記 A T D パルス合成回路が配置されているレイアウト段に配置され、

前記入力ピン列と前記メモリセルプレートの間に少なくとも前記アドレス回路と前記 A T D 回路及び前記 D E L A Y 回路が配置されたことを特徴とする半導体記憶装置。

【請求項 3】 前記出力回路は、前記 A T D パルス合成回路が配置されているレイアウト段で出力ピン近傍位置に配置された、ことを特徴とする請求項 1 または 2 のいずれかに記載の半導体記憶装置。

【請求項 4】 前記出力回路は、前記出力ピン列に最も近いセルプレートと出力ピン列の間に配置されている、ことを特徴とする請求項 1 または 2 のいずれかに記載の半導体記憶装置。

【請求項 5】 前記半導体記憶装置は、書き込み動作機能を持つものである

、ことを特徴とする請求項 1 ～ 4 のいずれかに記載の半導体記憶装置。

【請求項 6】 前記入力ピン列と前記メモリセルプレート間にアドレス回路と A T D 回路及び D E L A Y 回路が配置されたことを特徴とする請求項 1 ～ 5 のいずれかに記載の半導体記憶装置。

【請求項 7】 前記偶数個のメモリセルに分割されたメモリセルプレートは、4 分割以上の偶数個に分割されている、ことを特徴とする請求項 1 ～ 6 のいずれかに記載の半導体記憶装置。

【請求項 8】 前記出力ピン列内にも入力ピンを配置したことを特徴とする請求項 1 ～ 7 のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、A T D パルス合成回路が配置された半導体記憶装置に関する。

【 0 0 0 2 】

【従来の技術】

半導体記憶装置の従来例を図 9，図 1 0，図 1 1，図 1 2 に示す。

従来は、メモリセルトランジスタの I o n を確保できた為に、D i g i t 線長をある程度長くすることができ、結果として従来例として図示したようなレイアウト配置が可能であった。

そのため、入力ピンから入力されたアドレスデータに基づきメモリセルが選択される時間と高速化、消費電流削減で搭載している D E L A Y 回路のパルスが必ず、

D E L A Y 回路パルス > メモリセル選択時間  
という関係にすることが可能であった。

【 0 0 0 3 】

近年、微細加工技術が進みセルトランジスタの能力確保が難しくなる中で、セルトランジスタの I o n を確保する為に、D i g i t 線長を短くし単位セルプレートの分割数を増やすことで読み出しスピードの悪化を防ごうとする半導体記憶

装置が望まれるようになった。

【 0 0 0 4 】

このような半導体記憶装置の一例として、各単位メモリセルプレートが複数のワード線及び複数のデジット線により構成され、前記単位セルプレートを少なくとも2個以上配置することにより半導体記憶装置を実現していくものがある。

【 0 0 0 5 】

上記のような半導体記憶装置場合、従来のように入力ピンの近傍にアドレス回路、A T D回路、A T Dパルス合成回路、Xプリデコード回路等の配置ができなくなり、また出力ピンの近傍に出力回路及びセンスアンプ回路等の配置ができなくなったために、選択されるメモリセルの位置によっては、

DE L A Y回路パルス > メモリセル選択時間  
の関係が必ずしも守れなくなり、

DE L A Y回路パルス < メモリセル選択時間  
という関係になる場合が発生してきた。

【 0 0 0 6 】

上記の問題は、寄生C Rの差によるタイミングの違いにより上記のような関係が発生するので、

DE L A Y回路パルス > メモリセル選択時間  
となるようにDE L A Y回路に遅延素子等を挿入する対策も考えられている。

【 0 0 0 7 】

【発明が解決しようとする課題】

ところが、トランジスタ等で構成される容量素子と配線の引き廻しで寄生として発生する容量素子等では、電圧依存、温度依存、V T依存等が必ずしも一致せず、結果として多少大きくDE L A Y回路側に容量素子を挿入することになる。しかしながら、これでは自らスピード特性を遅らせることになり、高速性が求められる製品については挿入できる容量値に限界がある。

【 0 0 0 8 】

また、従来のレイアウト配置で寄生C Rが揃うようにDE L A Y回路の配線を意図的に長く引き廻せば良いという方法もある。しかし、この場合は、長く引き

廻された配線の占める領域がチップサイズを増大を招き、チップコスト低減が望まれる現状とは、反対の効果をもたらす対策となってしまう。

#### 【 0 0 0 9 】

本発明は、前述した問題点に鑑みてなされたものであり、その目的は、A T Dパルス合成回路をチップ中央に配置することで、寄生C Rを極力揃えることにより、寄生C Rで発生する遅延が同等またはそれ以上となり、誤データの出力を防止することができ、その結果、読み出しスピードの高速化並びに消費電流の削減が可能となる半導体記憶装置を提供することである。

#### 【 0 0 1 0 】

##### 【課題を解決するための手段】

前記目的を達成する本発明は、下記の事項を特徴とする。

1：チップの上辺及び下辺にそれぞれ配置された入力ピン列及び出力ピン列と、チップ水平方向に配置されたディジット線と、チップ垂直方向に配置されたワード線と、により構成される偶数個のメモリセルに分割されたメモリセルプレートと、前記分割された各々2枚のメモリセルの間に配置されたXデコード回路と、左右に配置された半数ずつのメモリセルプレートのチップ中央側にそれぞれ配置されたYセレクト回路とセンスアンプ回路と、左右に配置された半数ずつのメモリセルプレートのチップ外側にそれぞれ配置されたXブリデコード回路と、アドレス回路と、前記アドレス回路の変化を検出し、パルスを発生するA T D回路と、前記A T D回路の出力を合成し、1つのパルス合成を行うA T Dパルス合成回路と、前記A T D合成パルス回路の出力を入力信号とし、センスアンプデータラッチ信号と、出力データラッチ信号と、を出力するD E L A Y回路と、出力回路と、からなる半導体記憶装置において、前記A T Dパルス合成回路は、チップ中央部に左右に配置された前記センスアンプ回路の間であって、チップ中央に配置され、前記入力ピン列と前記メモリセルプレートとの間に少なくとも前記アドレス回路と前記A T D回路及び前記D E L A Y回路が配置されたこと。

2：チップの上辺及び下辺にそれぞれ配置された入力ピン列及び出力ピン列と、チップ水平方向に配置されたディジット線と、チップ垂直方向に配置されたワード線と、により構成される偶数個のメモリセルに分割されたメモリセルプレート



と、前記分割された各々 2 枚のメモリセルの間に配置された X デコード回路と、左右に配置された半数ずつのメモリセルプレートのチップ中央側にそれぞれ配置された Y セレクト回路とセンスアンプ回路と、左右に配置された半数ずつのメモリセルプレートのチップ外側にそれぞれ配置された X プリデコード回路と、アドレス回路と、前記アドレス回路の変化を検出し、パルスを発生する A T D 回路と、前記 A T D 回路の出力を合成し、1 つのパルス合成を行う A T D パルス合成回路と、不良救済用の E C C 救済回路と、前記 A T D パルス合成回路の出力を入力信号とし、センスアンプデータラッチ信号と、E C C 訂正データラッチ信号と、出力データラッチ信号と、を発生する D E L A Y 回路と、出力回路と、からなる半導体記憶装置において、前記 A T D パルス合成回路は、チップ中央部に左右に配置された前記センスアンプ回路の間であって、チップ中央に配置され、前記不良救済用の E C C 救済回路は、前記 A T D パルス合成回路が配置されているレイアウト段に配置され、前記入力ピン列と前記メモリセルプレートの間に少なくとも前記アドレス回路と前記 A T D 回路及び前記 D E L A Y 回路が配置されたこと。

3：前記出力回路は、前記 A T D パルス合成回路が配置されているレイアウト段で出力ピン近傍位置に配置されたこと。

4：前記出力回路は、前記出力ピン列に最も近いセルプレートと出力ピン列の間に配置されていること。

5：前記半導体記憶装置は、書き込み動作機能を持つものであること。

6：前記入力ピン列と前記セルプレートの間にアドレス回路と A T D 回路及び D E L A Y 回路が配置されたこと。

7：前記偶数個のメモリセルに分割されたメモリセルプレートは、4 分割以上の偶数個に分割されている、こと。

8：前記出力ピン列内にも、入力ピンを配置したこと。

【 0 0 1 1 】

【発明の実施の形態】

以下、本発明の実施の形態を実施例に基づき説明する。

< 第一の実施例 >

図 1 に、本発明に係る半導体記憶装置の第一の実施例を示したチップレイアウト図を示す。

当該半導体記憶装置は、チップの上側（図面を見て）の辺には入力ピン列が配置され、また、下側（図面を見て）の辺には出力ピン列がそれぞれ配置されている。

#### 【 0 0 1 2 】

ディジット線がチップ水平方向に配置され、また、ワード線がチップ垂直方向に配置されることにより構成されるメモリセルプレートが 1 6 分割され配置されている。そして、各々 2 枚のセルプレートの中に X デコード回路が配置され、1 6 枚のセルプレート中の 8 枚のメモリセルプレート毎をチップの左右にそれぞれ配置されている。

#### 【 0 0 1 3 】

左右に配置された 8 枚のメモリセルプレートのチップ中央側に、Y セレクト回路とセンスアンプ回路がそれぞれ配置され、左右に配置された 8 枚のメモリセルプレートのチップ外側に X プリデコード回路が配置されている。

#### 【 0 0 1 4 】

チップ中央部に左右に配置されたセンスアンプ回路の間に A T D パルス合成回路と出力回路が配置され、前記 A T D パルス合成回路は極力チップ中央に配置され、前記出力回路は、前記 A T D パルス合成回路が配置されているレイアウト段で極力出力ピン近傍位置に配置され、入力ピンとセルプレートの間にアドレス回路と A T D 回路及び D E L A Y 回路が配置されている。

#### 【 0 0 1 5 】

#### < 第二の実施例 >

図 2 に、本発明に係る半導体記憶装置の第二の実施例を示したチップレイアウト図を示す。

なお、前記第一の実施例では、出力回路は前記 A T D パルス合成回路がされているレイアウト段で極力出力ピン近傍位置に配置されているが、この第二の実施例では出力ピンに最も近いセルプレートと出力ピンの間に配置されている点で相違する。

【 0 0 1 6 】

当該半導体記憶装置は、チップの上側（図面を見て）の辺には入力ピン列が配置され、また、下側（図面を見て）の辺には出力ピン列がそれぞれ配置されている。

【 0 0 1 7 】

ディジット線がチップ水平方向に配置され、また、ワード線がチップ垂直方向に配置されることにより構成されるメモリセルプレートが 1 6 分割され配置されている。そして、各々 2 枚のセルプレートの中に X デコード回路が配置され、 1 6 枚のセルプレート中の 8 枚のメモリセルプレート毎をチップの左右にそれぞれ配置されている。

【 0 0 1 8 】

左右に配置された 8 枚のメモリセルプレートのチップ中央側に、 Y セレクト回路とセンスアンプ回路がそれぞれ配置され、左右に配置された 8 枚のメモリセルプレートのチップ外側に X プリデコード回路が配置されている。

【 0 0 1 9 】

チップ中央部に左右に配置されたセンスアンプ回路の間に A T D パルス合成回路が配置され、前記 A T D パルス合成回路は極力チップ中央に配置され、出力回路は、出力ピンに最も近いセルプレートと出力ピンの間に配置されている。

また、入力ピンとセルプレートの中に、アドレス回路と A T D 回路及び D E L A Y 回路が配置されている。

【 0 0 2 0 】

< 第一／第二の実施例の動作の説明 >

図 7 に本発明の第一／第二の実施例動作説明図を示す。

図 7 に示しているように、入力ピンに入力されたアドレスデータは、アドレス回路へ伝搬されアドレス回路の出力データが X プリデコード回路と Y セレクト回路へと伝搬され、前記 X プリデコード回路の出力が X デコード回路に伝搬されることで、メモリセルプレート中の特定のメモリセルが選択される。

【 0 0 2 1 】

選択されたメモリセルのデータは Y セレクト回路を経由しセンスアンプ回路に

伝搬され、センスアンプ回路を経由したデータは出力回路へと伝搬され、出力回路に接続された出力ピンを経由し半導体記憶装置の外へ出力される。

#### 【 0 0 2 2 】

一方、アドレス回路に接続されたA T D回路は、アドレス回路の変化を検出しパルスが発生する。前記A T D回路が接続されたA T Dパルス合成回路は、それぞれのアドレス回路に接続されたA T D回路の出力を合成し1つのパルスへ合成を行う。

#### 【 0 0 2 3 】

前記、A T Dパルス合成回路の出力はD E L A Y回路に接続され、センスアンプデータラッチ信号（センスアンプ回路活性化信号）と出力データラッチ信号（出力回路活性化信号）が発生する。

#### 【 0 0 2 4 】

D E L A Y回路で発生したセンスアンプデータラッチ信号と出力データラッチ信号でセンスアンプ回路と出力回路の動作を制御することで読み出しスピードの高速化並びに消費電流の削減を図る。

#### 【 0 0 2 5 】

入力ピンに入力されたアドレスデータで最も出力ピン側に近いセルプレートを選択する場合に、入力ピン側から最も出力ピン側のセルまでに寄生するC Rにより発生する信号線の遅延でセル選択までかかる時間と、A T D回路でパルスが発生しチップ中央部に配置されたA T Dパルス合成回路まで引き廻され、合成されたパルス信号が入力ピン近傍に配置されたD E L A Y回路へ引き廻され、センスアンプデータラッチ信号と出力データラッチ信号が発生するまでに寄生C Rで発生する遅延が同等またはそれ以上となり、誤データの出力を防止することができ、結果読み出しスピードの高速化並びに消費電流の削減が可能となる。

#### 【 0 0 2 6 】

#### < 第三の実施例 >

図3に本発明の第三の実施例を示したチップレイアウト図を示す。

この実施例には、不良救済用にE C C回路を搭載した場合の例である。

当該半導体記憶装置は、チップの上側（図面を見て）の辺には入力ピン列が配

置され、また、下側（図面を見て）の辺には出力ピン列がそれぞれ配置されている。

【 0 0 2 7 】

ディジット線がチップ水平方向にワード線がチップ垂直方向に配置されることにより構成されるメモリセルプレートが 1 6 分割され配置されており、各々 2 枚のセルプレートの間に X デコード回路が配置されている。

【 0 0 2 8 】

1 6 枚のセルプレート中の 8 枚のメモリセルプレート毎をチップの左右にそれぞれ配置し、左右に配置された 8 枚のメモリセルプレートのチップ中央側に Y セレクト回路とセンスアンプ回路がそれぞれ配置され、左右に配置された 8 枚のメモリセルプレートのチップ外側に X プリデコード回路が配置されている。

【 0 0 2 9 】

そして、チップ中央部に左右に配置されたセンスアンプ回路の間に A T D パルス合成回路と出力回路が配置され、前記 A T D パルス合成回路は極力チップ中央に配置されている。

【 0 0 3 0 】

前記出力回路は、前記 A T D パルス合成回路が配置されているレイアウト段で極力出力ピン近傍位置に配置され、E C C 救済回路は、前記 A T D パルス合成回路が配置されているレイアウト段に配置され、入力ピンとセルプレートの間にアドレス回路と A T D 回路及び D E L A Y 回路が配置されている。

【 0 0 3 1 】

< 第四の実施例 >

図 4 に本発明の第四の実施例を示したチップレイアウト図を示す。

この実施例には、不良救済用に E C C 回路を搭載した場合の第二の例である。

当該半導体記憶装置は、チップの上側（図面を見て）の辺には入力ピン列が配置され、また、下側（図面を見て）の辺には出力ピン列がそれぞれ配置されている。

【 0 0 3 2 】

さらに、ディジット線がチップ水平方向にワード線がチップ垂直方向に配置さ

れることにより、構成されるメモリセルプレートが16分割され配置されており、各々2枚のセルプレートの上にXデコード回路が配置され、16枚のセルプレート中の8枚のメモリセルプレート毎をチップの左右にそれぞれ配置し、左右に配置された8枚のメモリセルプレートのチップ中央側にYセレクト回路とセンスアンプ回路がそれぞれ配置され、左右に配置された8枚のメモリセルプレートのチップ外側にXプリデコード回路が配置されている。

## 【0033】

そして、チップ中央部に左右に配置されたセンスアンプ回路の間にATDパルス合成回路と出力回路が配置され、前記ATDパルス合成回路は極力チップ中央に配置されている。

## 【0034】

ECC救済回路は、前記ATDパルス合成回路が配置されているレイアウト段に配置され、前記出力回路は、出力ピンに最も近いセルプレートと出力ピンの間に配置され、入力ピンとセルプレートの間に、アドレス回路とATD回路及びDELAY回路が配置されている。

## 【0035】

## &lt;第五の実施例&gt;

図5に本発明の第五の実施例を示したチップレイアウト図を、図6にその際のATD網詳細図を示す。

この実施例は、第三／第四の実施例と同様に不良救済用のECC回路を搭載した場合の例である。

## 【0036】

当該半導体記憶装置は、チップの上側（図面を見て）の辺には入力ピン列が配置され、また、下側（図面を見て）の辺には出力ピン列がそれぞれ配置されている。

## 【0037】

ディジット線がチップ水平方向にワード線がチップ垂直方向に配置されることにより構成されるメモリセルプレートが16分割され配置されており、各々2枚のセルプレートの上にXデコード回路が配置され、16枚のセルプレート中の8

枚のメモリセルプレート毎をチップの左右にそれぞれ配置し、左右に配置された8枚のメモリセルプレートのチップ中央側にYセレクト回路とセンスアンプ回路がそれぞれ配置され、左右に配置された8枚のメモリセルプレートのチップ外側にXプリデコード回路が配置されている。

## 【 0 0 3 8 】

そして、チップ中央部に左右に配置されたセンスアンプ回路の間にA T Dパルス合成回路と出力回路が配置され、前記A T Dパルス合成回路は極力チップ中央に配置されている。

## 【 0 0 3 9 】

前記出力回路は、前記A T Dパルス合成回路が配置されているレイアウト段で極力出力ピン近傍位置に配置され、E C C救済回路は、前記A T Dパルス合成回路が配置されているレイアウト段に配置され、入力ピンとセルプレートの間にアドレス回路とA T D回路及びD E L A Y回路が配置されている。

## 【 0 0 4 0 】

## &lt; 第三／第四／第五の実施例の動作の説明 &gt;

図8に本発明の第三／第四／第五の実施例の動作説明図を示す。

図8に示しているように、入力ピンに入力されたアドレスデータは、アドレス回路へ伝搬されアドレス回路の出力データがXプリデコード回路とYセレクト回路へと伝搬され、前記Xプリデコード回路の出力がXデコード回路に伝搬されることで、メモリセルプレート中の特定のメモリセルが選択される。

## 【 0 0 4 1 】

選択されたメモリセルのデータは、Yセレクト回路を経由し、センスアンプ回路に伝搬され、センスアンプ回路を経由したデータは、E C C訂正回路へ伝搬され、誤データを救済するための訂正動作が実施され、E C C訂正回路を出力したデータは、出力回路へと伝搬され、出力回路に接続された出力ピンを経由し、半導体記憶装置の外へ出力される。

## 【 0 0 4 2 】

一方、アドレス回路に接続されたA T D回路は、アドレス回路の変化を検出しパルスを発生する。前記A T D回路が接続されたA T Dパルス合成回路は、それ

ぞれのアドレス回路に接続された A T D 回路の出力を合成し 1 つのパルスへ合成を行う。

【 0 0 4 3 】

前記、A T D パルス合成回路の出力は D E L A Y 回路に接続され、センスアンプデータラッチ信号（センスアンプ回路活性化信号）と E C C 訂正データラッチ信号（E C C 訂正回路活性化信号）と出力データラッチ信号（出力回路活性化信号）を発生する。

【 0 0 4 4 】

D E L A Y 回路で発生したセンスアンプデータラッチ信号と E C C 訂正データラッチ信号と出力データラッチ信号でセンスアンプ回路と E C C 訂正回路と出力回路の動作を制御することで読み出しスピードの高速化並びに消費電流の削減を図る。

【 0 0 4 5 】

入力ピンに入力されたアドレスデータで最も出力ピン側に近いセルプレートを選択する場合に、入力ピン側から最も出力ピン側のセルまでに寄生する C R により発生する信号線の遅延でセル選択までかかる時間と、A T D 回路でパルスを発生しチップ中央部に配置された A T D パルス合成回路まで引き廻され、合成されたパルス信号が入力ピン近傍に配置された D E L A Y 回路へ引き廻され、センスアンプデータラッチ信号と E C C 訂正データラッチ信号と出力データラッチ信号を発生するまでに寄生 C R で発生する遅延が同等またはそれ以上となり、誤データの出力を防止することができ、

結果読み出しスピードの高速化並びに消費電流の削減が第一／第二の実施例と同様に可能となる。

【 0 0 4 6 】

以上、本発明に係る半導体記憶装置の第一の実施例ないし第五の実施例では、読み出し動作のみを説明したが、書き込み回路についてその説明を省略しているが、半導体記憶装置においては、書き込み回路を備えているものであるから、A T D 回路を搭載する製品に関しては、同様の A T D 回路を配置することにより、同様の結果が得られることは明らかである。



## 【 0 0 4 7 】

## ＜第一／第二の実施例の効果の説明＞

図 1，図 2 に示す本発明の第一／第二の実施例の場合、入力ピンの近傍にアドレス回路を配置し前記アドレス回路の近傍に A T D 回路を配置するため、入力ピンに入力されたアドレス回路の変化については、遅延することなく A T D 回路で 1 ショットパルスが発生する。

## 【 0 0 4 8 】

A T D 回路で発生された 1 ショットパルスは、チップ中央部に配置された A T D パルス合成回路まで引き廻された後で合成されるために、最低でもチップサイズの Y サイズの  $1/2$  引き廻した距離の寄生 C R がつくことになり、前記 A T D 回路の出力は前記寄生 C R 分の遅延を生じ前記 A T D パルス合成回路で合成される。

## 【 0 0 4 9 】

前記 A T D パルス合成回路の出力は、更に A T D 回路の近傍に配置された D E L A Y 回路に引き廻されるので、前記 A T D 回路の出力同様に最低でもチップサイズの Y サイズの  $1/2$  引き廻した距離の寄生 C R がつくことになり、D E L A Y 回路から出力されるセンスアンプデータラッチ信号と出力データラッチ信号は、前記寄生 C R 分の遅延を生じる。

## 【 0 0 5 0 】

一方、アドレス回路の出力が入力ピンから最も遠いセルプレートに伝搬される際には、最大でチップサイズの Y サイズの距離を引き廻された後で X プリデコード回路、Y セレクト回路に接続されるのでチップサイズの Y サイズの距離の寄生 C R 分の遅延の後で、前記 X プリデコード回路、Y セレクト回路の出力が決定され、前記 X プリデコード回路の出力を受けて X デコード回路の出力が決定され、メモリセルが決定され、当該メモリセルのデータがセンスアンプ回路を經由し、出力回路へ伝搬され出力ピンからデータが出力される。

## 【 0 0 5 1 】

従って、メモリセルが選択されセンスアンプ回路、出力回路まで伝搬される時間とセンスアンプ回路、出力回路を制御するパルスが当該回路まで伝搬する時間

について、以下の関係が成り立つことになり、結果として必ず、

DE L A Y回路パルス > メモリセル選択時間

となり、メモリセルが確定した後でセンスアンプ回路、出力回路を活性化させることになり、結果として読み出しスピードの高速化、消費電流の削減を図ることができる。

【 0 0 5 2 】

このことは、上記関係がひっくり返った場合を考えれば判りやすく、例えばセンスアンプ回路が本来であれば“L”を出力しなければならない場合に、前状態が“H”だとしてセンスアンプ回路が活性化した際に一旦、前状態の“H”を出力しようとし始め、その後で本来出力されなければならない“L”を出力する場合、センスアンプ回路内で“H”から“L”への遷移時間が発生し、その結果、読み出しスピードの悪化を招く。

【 0 0 5 3 】

消費電流に関しても、前記動作をした場合、余計な回路動作を行った分電流を消費することになり、消費電流の増大を招くことになる。

【 0 0 5 4 】

<第三／第四の実施例の効果の説明>

図 3，図 4 に示す本発明の第三／第四の実施例の場合、入力ピンの近傍にアドレス回路を配置し前記アドレス回路の近傍に A T D回路を配置するため、入力ピンに入力されたアドレス回路の変化については、遅延することなく A T D回路で 1 ショットパルスが発生する。

【 0 0 5 5 】

A T D回路で発生された 1 ショットパルスは、チップ中央部に配置された A T Dパルス合成回路まで引き廻された後で合成されるために、最低でもチップサイズの Yサイズの 1／2 引き廻した距離の寄生 C Rがつくことになり、前記 A T D回路の出力は前記寄生 C R分の遅延を生じ前記 A T Dパルス合成回路で合成される。

【 0 0 5 6 】

前記 A T Dパルス合成回路の出力は、更に A T D回路の近傍に配置された D E

L A Y回路に引き廻されるので、前記A T D回路の出力同様に最低でもチップサイズのYサイズの1/2引き廻した距離の寄生C Rがつくことになり、D E L A Y回路から出力されるセンスアンプデータラッチ信号と出力データラッチ信号は、前記寄生C R分の遅延を生じる。

## 【 0 0 5 7 】

一方、アドレス回路の出力が入力ピンから最も遠いセルプレートに伝搬される際には、最大でチップサイズのYサイズの距離を引き廻された後でXプリデコード回路、Yセレクト回路に接続されるのでチップサイズのYサイズの距離の寄生C R分の遅延の後で、前記Xプリデコード回路、Yセレクト回路の出力が決定され、前記Xプリデコード回路の出力を受けてXデコード回路の出力が決定され、メモリセルが決定され、当該メモリセルのデータがセンスアンプ回路及びE C C訂正回路を経由し、出力回路へ伝搬され出力ピンからデータが出力される。

## 【 0 0 5 8 】

従って、メモリセルが選択されセンスアンプ回路、E C C訂正回路、出力回路まで伝搬される時間とセンスアンプ回路、E C C訂正回路、出力回路を制御するパルスが当該回路まで伝搬する時間について、以下の関係が成り立つことになり、結果として必ず、

D E L A Y回路パルス > メモリセル選択時間

となり、メモリセルが確定した後でセンスアンプ回路、出力回路を活性化させることになり、結果として読み出しスピードの高速化、消費電流の削減を図ることができる。

## 【 0 0 5 9 】

このことは、上記関係がひっくり返った場合を考えれば判りやすく、例えばセンスアンプ回路が本来であれば“L”を出力しなければならない場合に、前状態が“H”だとしてセンスアンプ回路が活性化した際に一旦、前状態の“H”を出力しようとし始め、その後で本来出力されなければならない“L”を出力する場合、センスアンプ回路内で“H”から“L”への遷移時間が発生し、更にE C C訂正回路については“L”データでの訂正動作を行おうとする為に、その結果、読み出しスピードの悪化を招く。

【 0 0 6 0 】

消費電流に関しても、前記動作をした場合、余計な回路動作を行った分電流を消費することになり、消費電流の増大を招くことになる。

【 0 0 6 1 】

＜第五の実施例の効果の説明＞

図 5 に示す本発明の第五の実施例の場合、入力ピンの近傍にアドレス回路を配置し前記アドレス回路の近傍に A T D 回路を配置するため、入力ピンに入力されたアドレス回路の変化については、遅延することなく A T D 回路で 1 ショットパルスが発生する。

【 0 0 6 2 】

A T D 回路で発生された 1 ショットパルスは、チップ中央部に配置された A T D パルス合成回路まで引き廻された後で合成されるために、最低でもチップサイズの Y サイズの 1 / 2 引き廻した距離の寄生 C R がつくことになり、前記 A T D 回路の出力は前記寄生 C R 分の遅延を生じ前記 A T D パルス合成回路で合成される。

【 0 0 6 3 】

前記 A T D パルス合成回路の出力は、更に A T D 回路の近傍に配置された D E L A Y 回路に引き廻されるので、前記 A T D 回路の出力同様に最低でもチップサイズの Y サイズの 1 / 2 引き廻した距離の寄生 C R がつくことになり、D E L A Y 回路から出力されるセンスアンプデータラッチ信号と出力データラッチ信号は、前記寄生 C R 分の遅延を生じる。

【 0 0 6 4 】

一方、アドレス回路の出力が入力ピンから最も遠いセルプレートに伝搬される際には、最大でチップサイズの Y サイズの距離を引き廻された後で X プリデコード回路、Y セレクト回路に接続されるのでチップサイズの Y サイズの距離の寄生 C R 分の遅延の後で、前記 X プリデコード回路、Y セレクト回路の出力が決定され、前記 X プリデコード回路の出力を受けて X デコード回路の出力が決定され、メモリセルが決定され、当該メモリセルのデータがセンスアンプ回路及び E C C 訂正回路を経由し、出力回路へ伝搬され出力ピンからデータが出力される。

【 0 0 6 5 】

従って、メモリセルが選択されセンスアンプ回路、ECC訂正回路、出力回路まで伝搬される時間とセンスアンプ回路、ECC訂正回路、出力回路を制御するパルスが当該回路まで伝搬する時間について、以下の関係が成り立つことになり、結果として必ず、

DE L A Y回路パルス > メモリセル選択時間

となり、メモリセルが確定した後でセンスアンプ回路、出力回路を活性化させることになり、結果として読み出しスピードの高速化、消費電流の削減を図ることができる。

【 0 0 6 6 】

このことは、上記関係がひっくり返った場合を考えれば判りやすく、例えばセンスアンプ回路が本来であれば“L”を出力しなければならない場合に、前状態が“H”だとしてセンスアンプ回路が活性化した際に一旦、前状態の“H”を出力しようとし始め、その後で本来出力されなければならない“L”を出力する場合、センスアンプ回路内で“H”から“L”への遷移時間が発生し、更にECC訂正回路については“L”データでの訂正動作を行おうとする為に、その結果、読み出しスピードの悪化を招く。

【 0 0 6 7 】

消費電流に関しても、前記動作をした場合、余計な回路動作を行った分電流を消費することになり、消費電流の増大を招くことになる。

【 0 0 6 8 】

なお、第一の実施例～第五の実施例において、16分割されたメモリセルプレートを使用したものについて説明したが、その分割数は、4分割以上の偶数個に分割されているものにおいても何等差し障りがないことは明らかであるので、4分割以上の偶数個の分割されたものも本発明の技術の範囲に入るものである。

【 0 0 6 9 】

【発明の効果】

以上、本発明の実施例にも詳述したが、本発明は以下に記載する効果を奏する。

入力ピンに入力されたアドレスデータで最も出力ピン側に近いセルプレートを選択する場合に、入力ピン側から最も出力ピン側のセルまでに寄生するC Rにより発生する信号線の遅延でセル選択までかかる時間と、A T D回路でパルスが発生しチップ中央部に配置されたA T Dパルス合成回路まで引き廻され、合成されたパルス信号が入力ピン近傍に配置されたD E L A Y回路へ引き廻され、センスアンプデータラッチ信号と出力データラッチ信号を発生するまでに寄生C Rで発生する遅延が同等またはそれ以上となり、誤データの出力を防止することができ、その結果、読み出しスピードの高速化並びに消費電流の削減が可能となる。

【 0 0 7 0 】

すなわち、メモリセルが選択されセンスアンプ回路、出力回路まで伝搬される時間とセンスアンプ回路、出力回路を制御するパルスが当該回路まで伝搬する時間について、以下の関係が成り立つことになり、結果として必ず、

D E L A Y回路パルス > メモリセル選択時間

となり、メモリセルが確定した後でセンスアンプ回路、出力回路を活性化させることになり、結果として読み出しスピードの高速化、消費電流の削減を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の第一の実施例

【図 2】

本発明の第二の実施例

【図 3】

本発明の第三の実施例

【図 4】

本発明の第四の実施例

【図 5】

本発明の第五の実施例

【図 6】

本発明の第五の実施例のA T D網詳細図

【図 7】

本発明の第一，二の実施例の動作タイミング図

【図 8】

本発明の第三，四，五の実施例の動作タイミング図

【図 9】

従来の第一の実施例

【図 1 0】

従来の第二の実施例

【図 1 1】

従来の第三の実施例

【図 1 2】

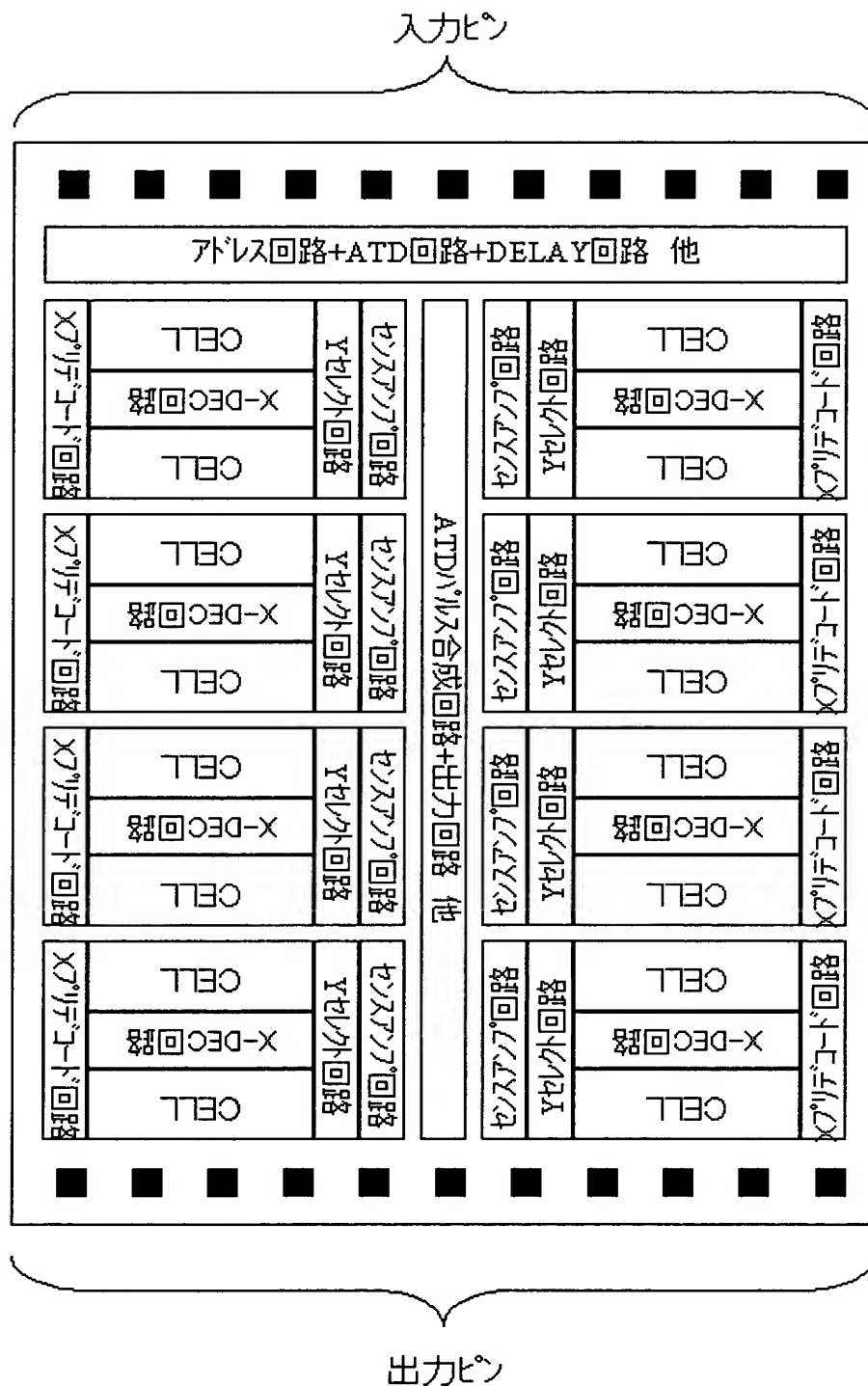
従来の第四の実施例

【図 1 3】

従来の実施例の A T D 網詳細図

【書類名】 図面

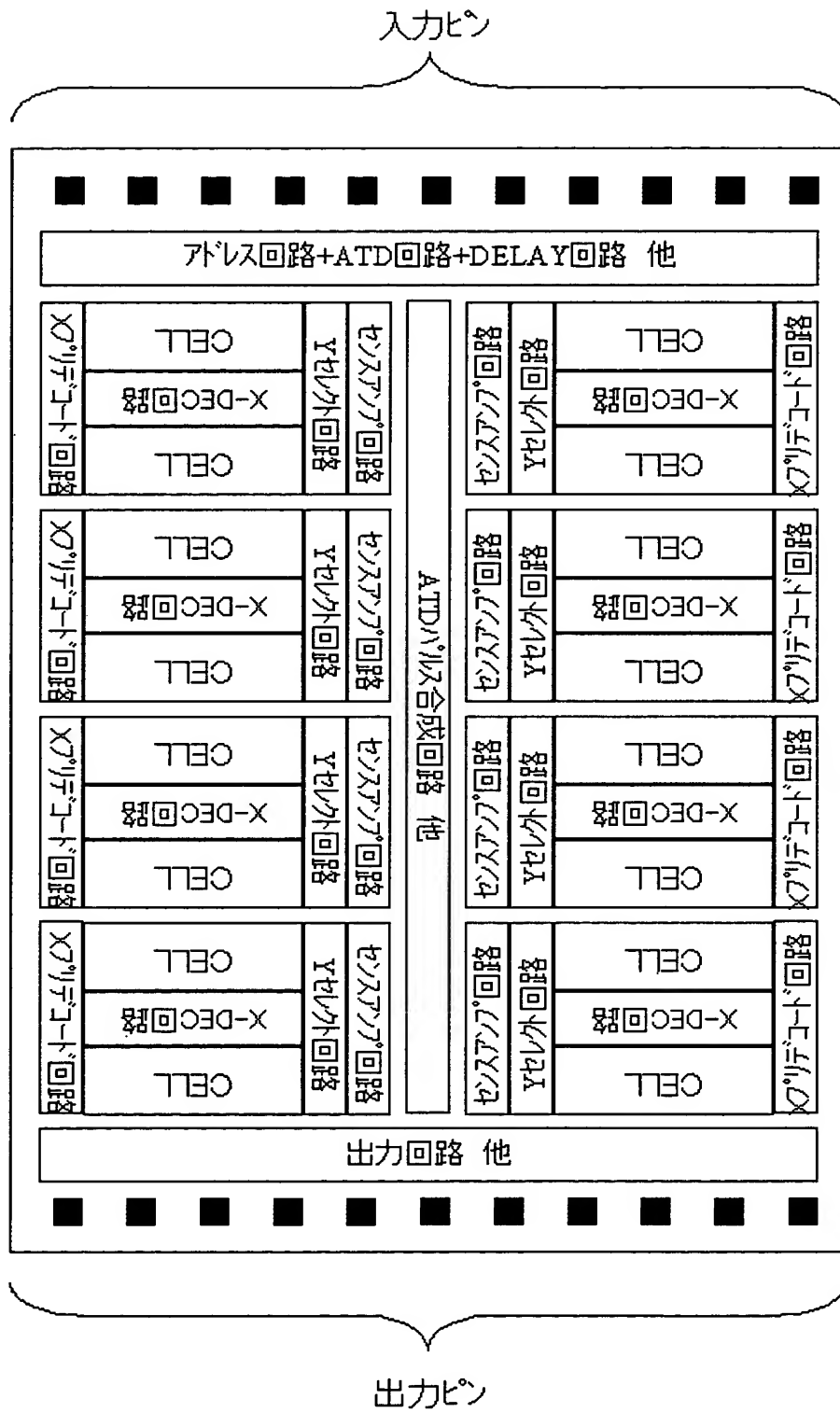
【図 1】



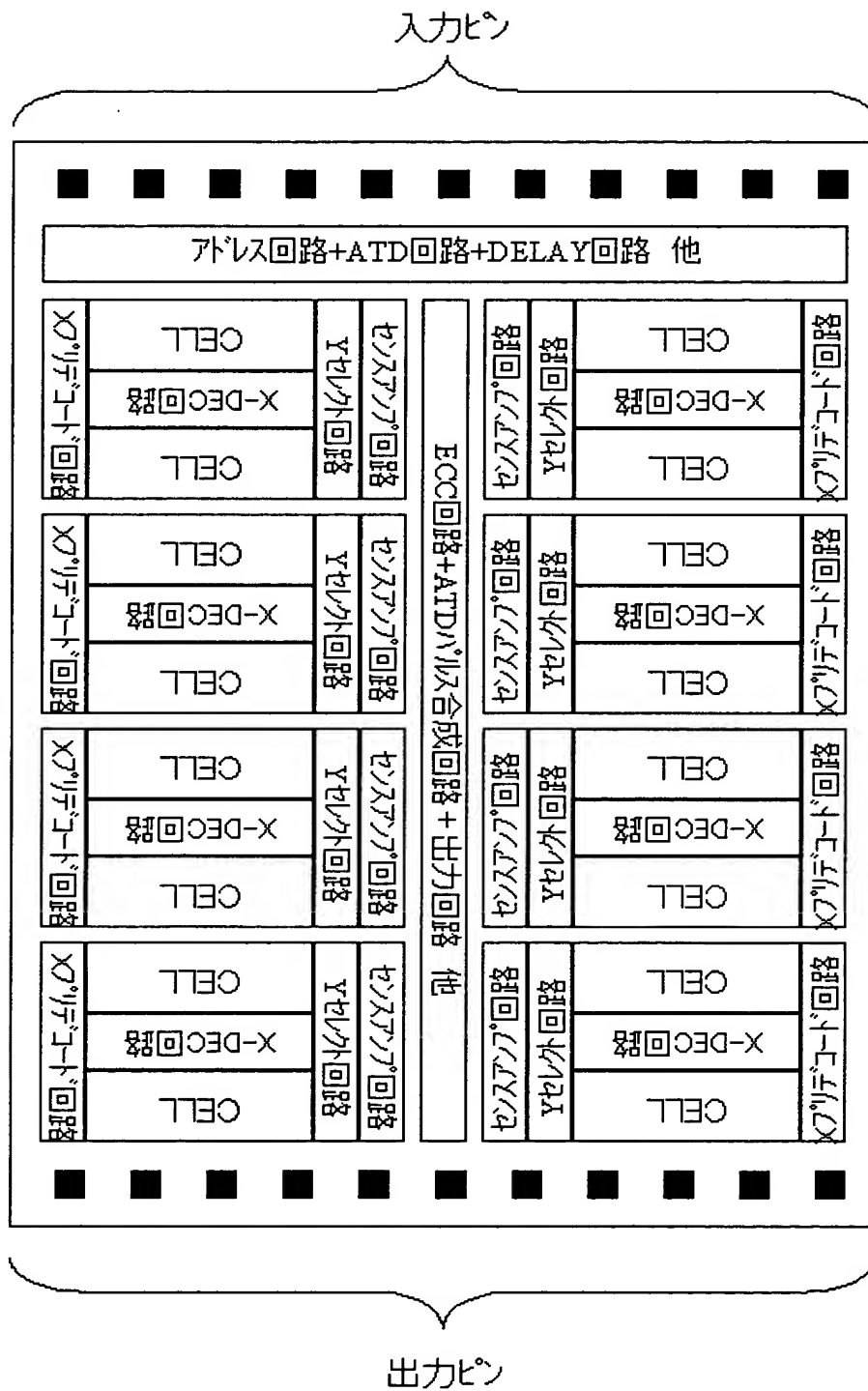
本発明の第一の実施例



【図 2】

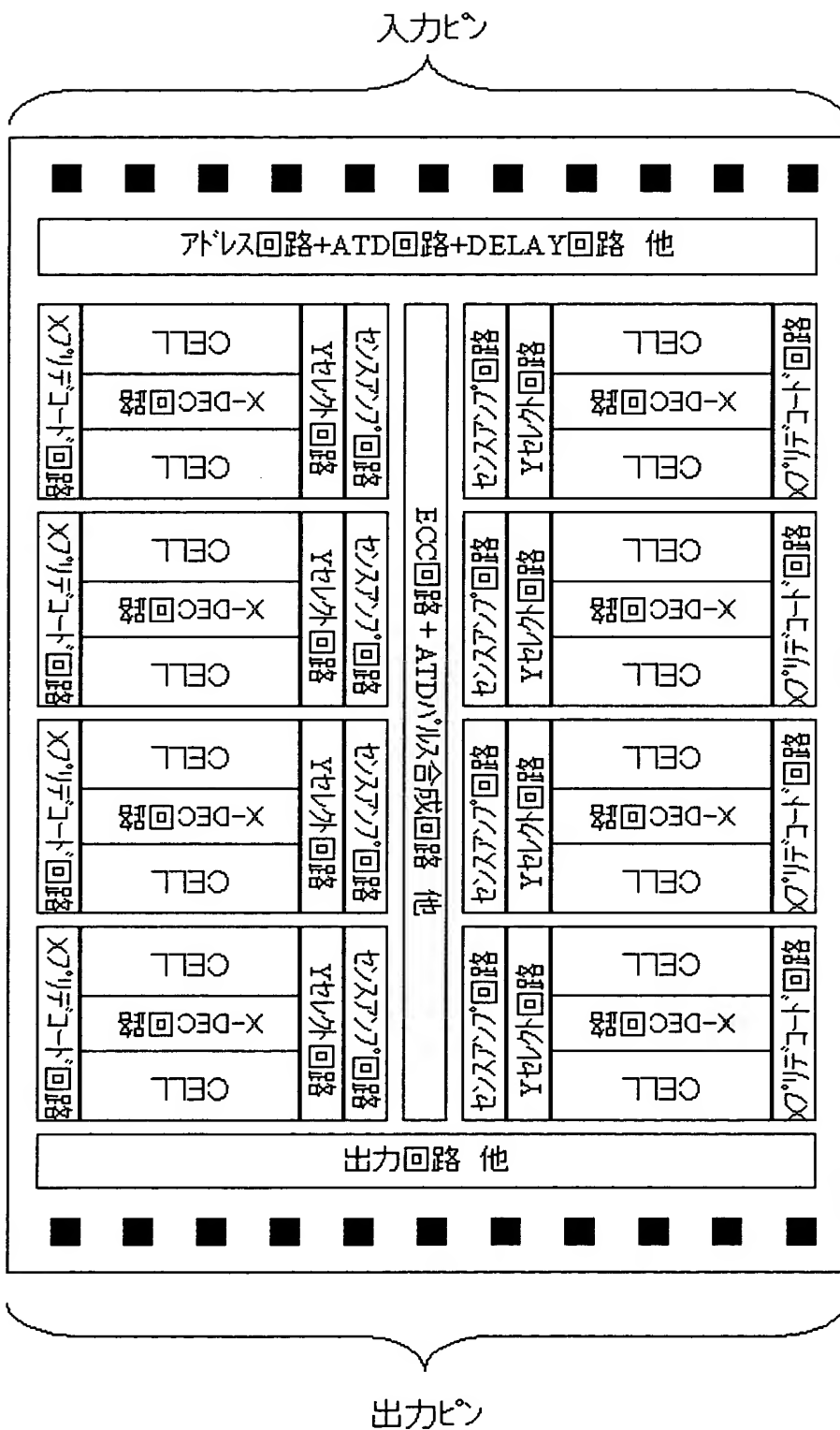


【図 3】



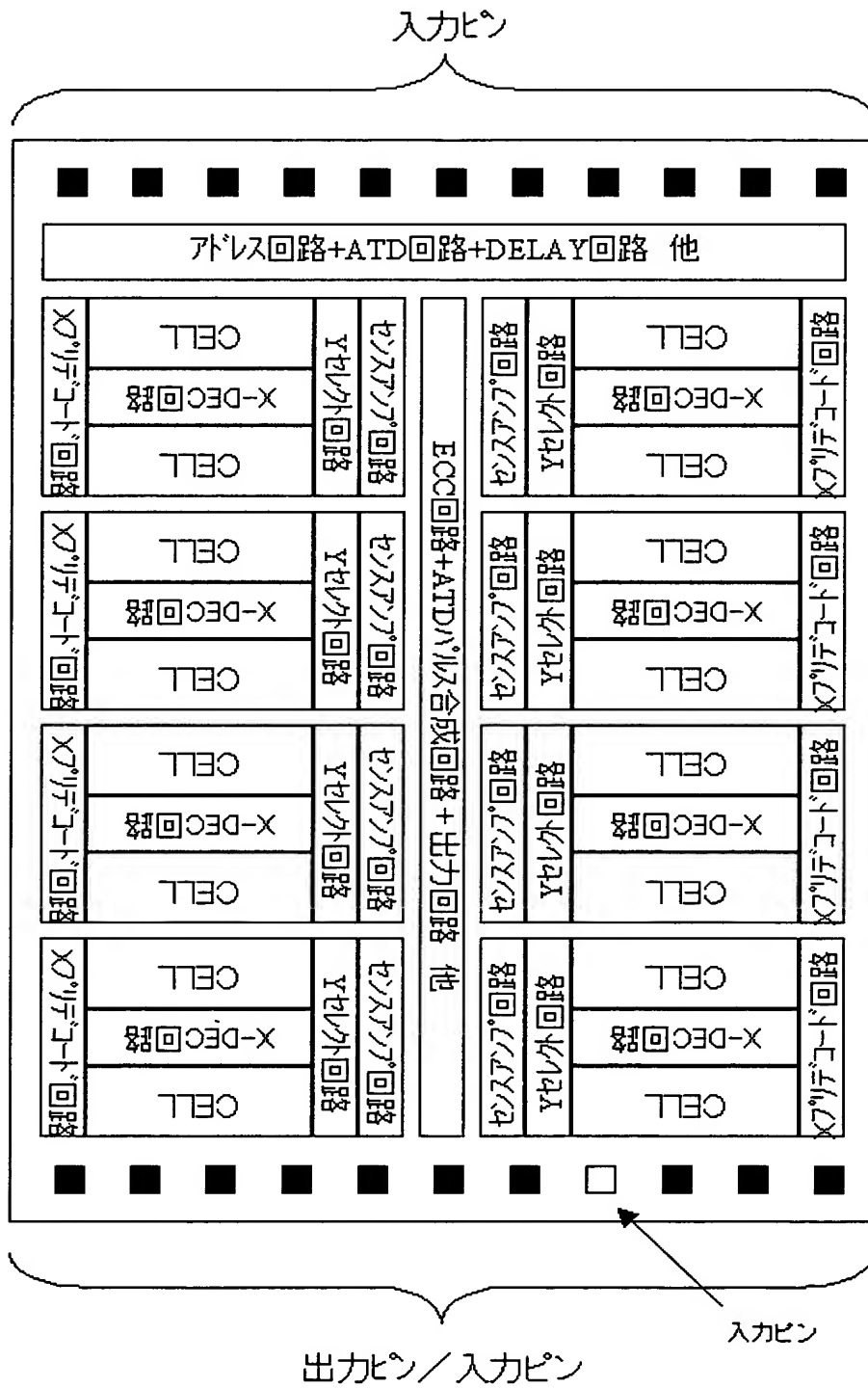
本発明の第三の実施例

【図 4】



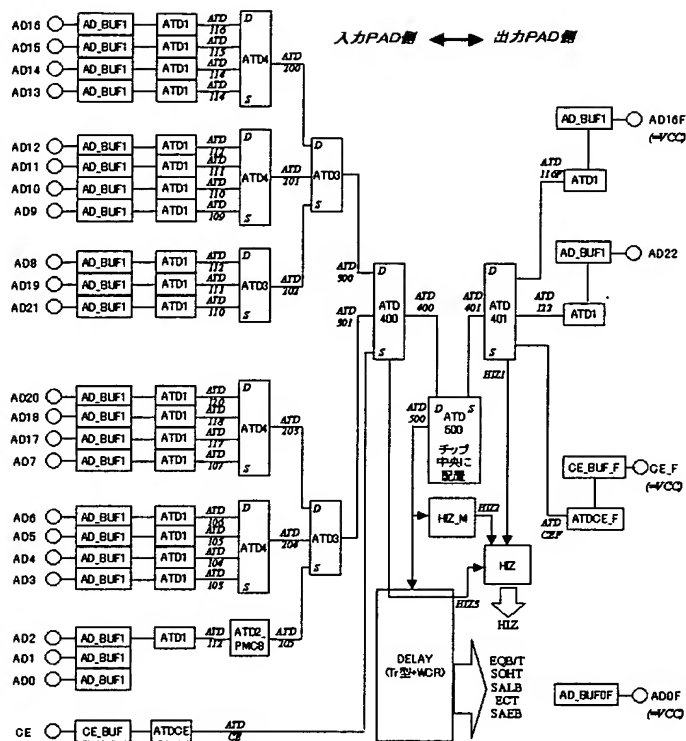
本発明の第四の実施例

【図 5】



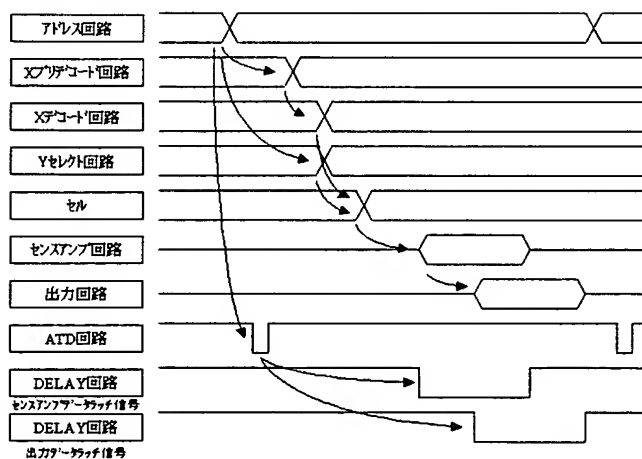
本発明の第5の実施例

【図 6】



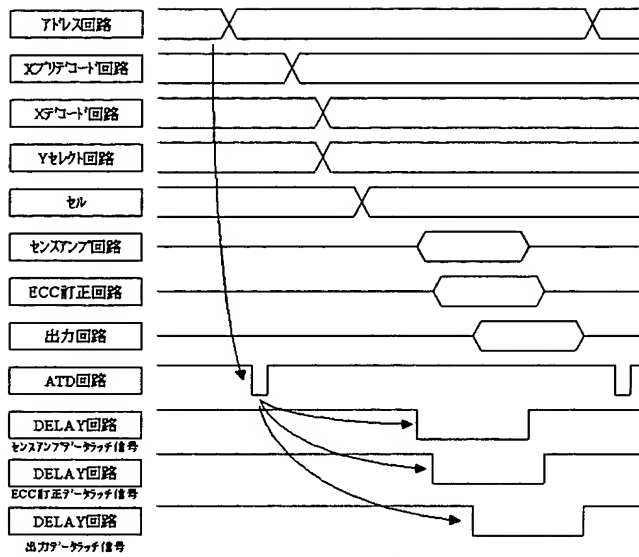
本発明の第五の実施例のATD網詳細図

【图 7】



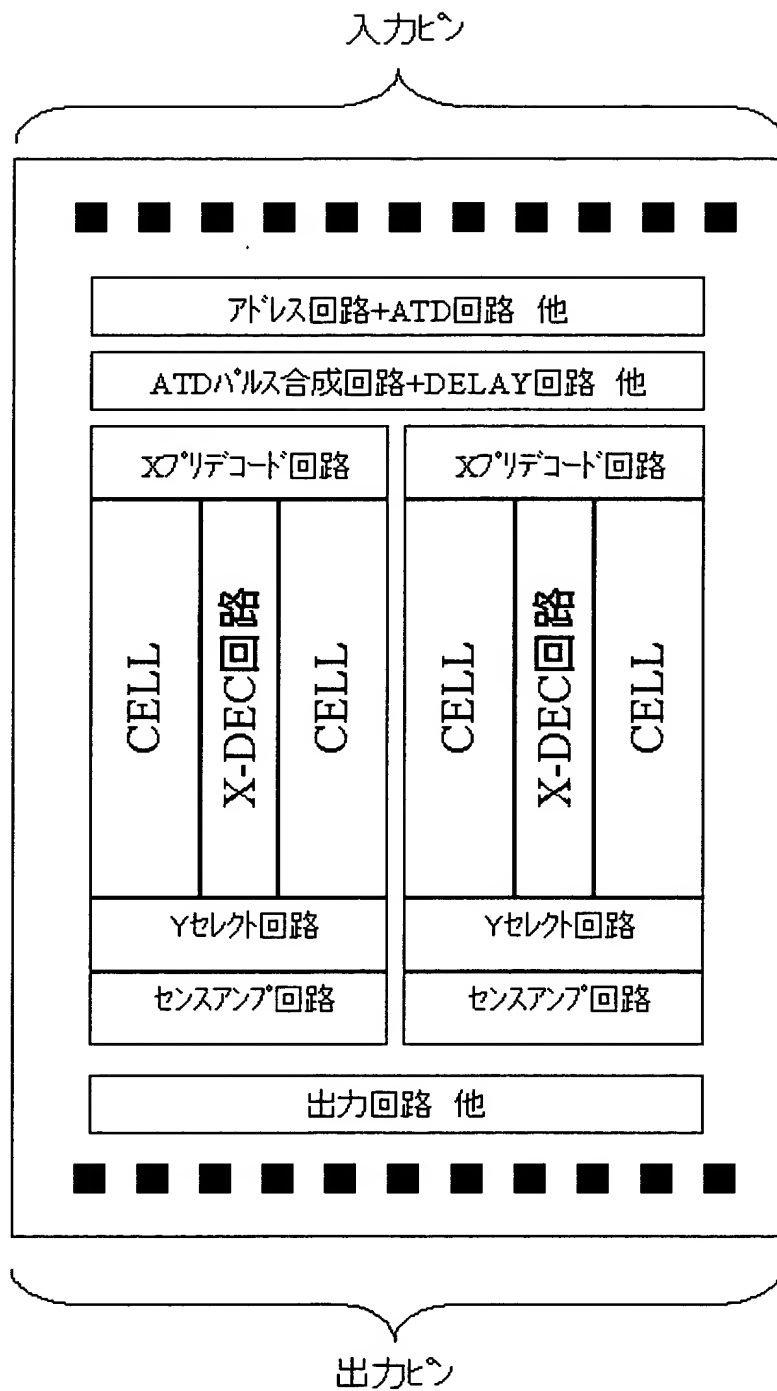
### 本発明の第一／第二の実施例の動作タイミング図

【図 8】



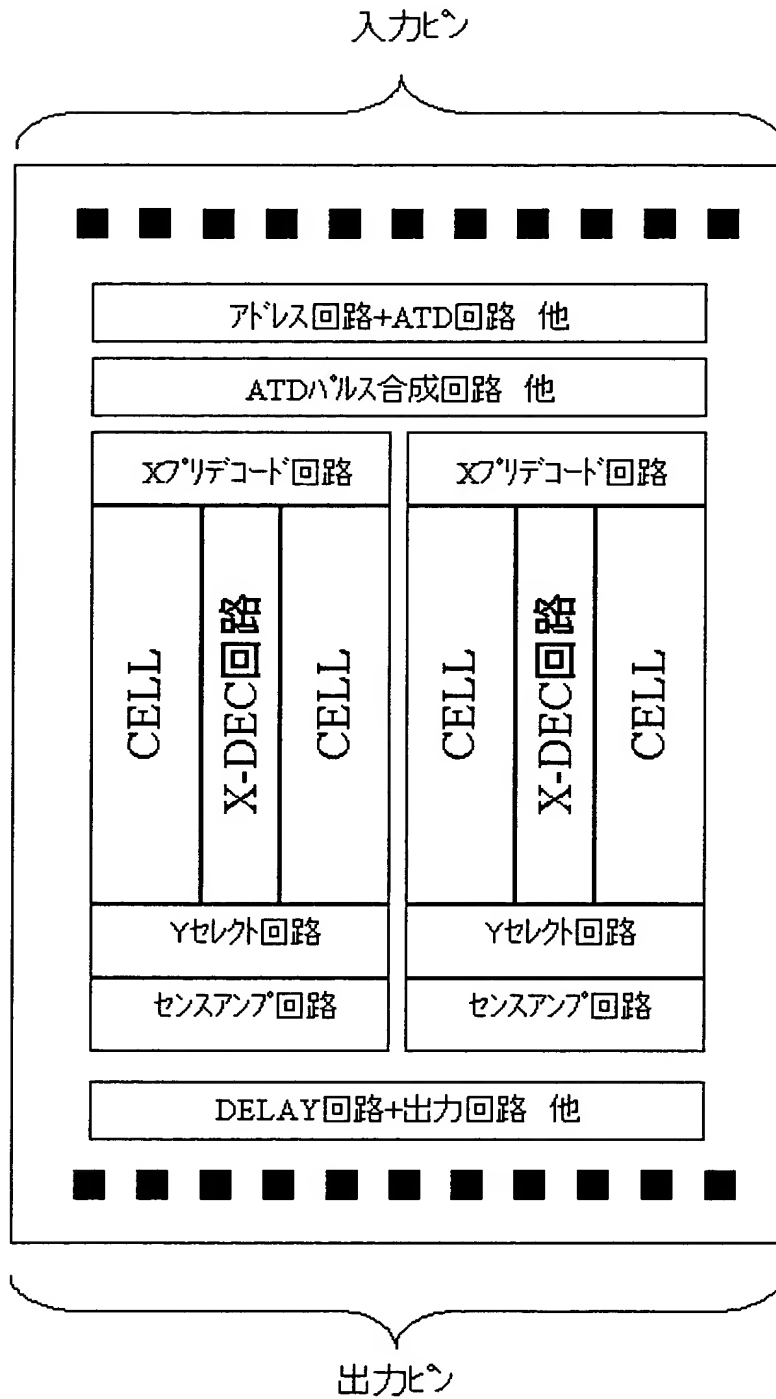
本発明の第三／第四／第五の実施例の動作タイミング図

【图9】



## 従来の第一の実施例

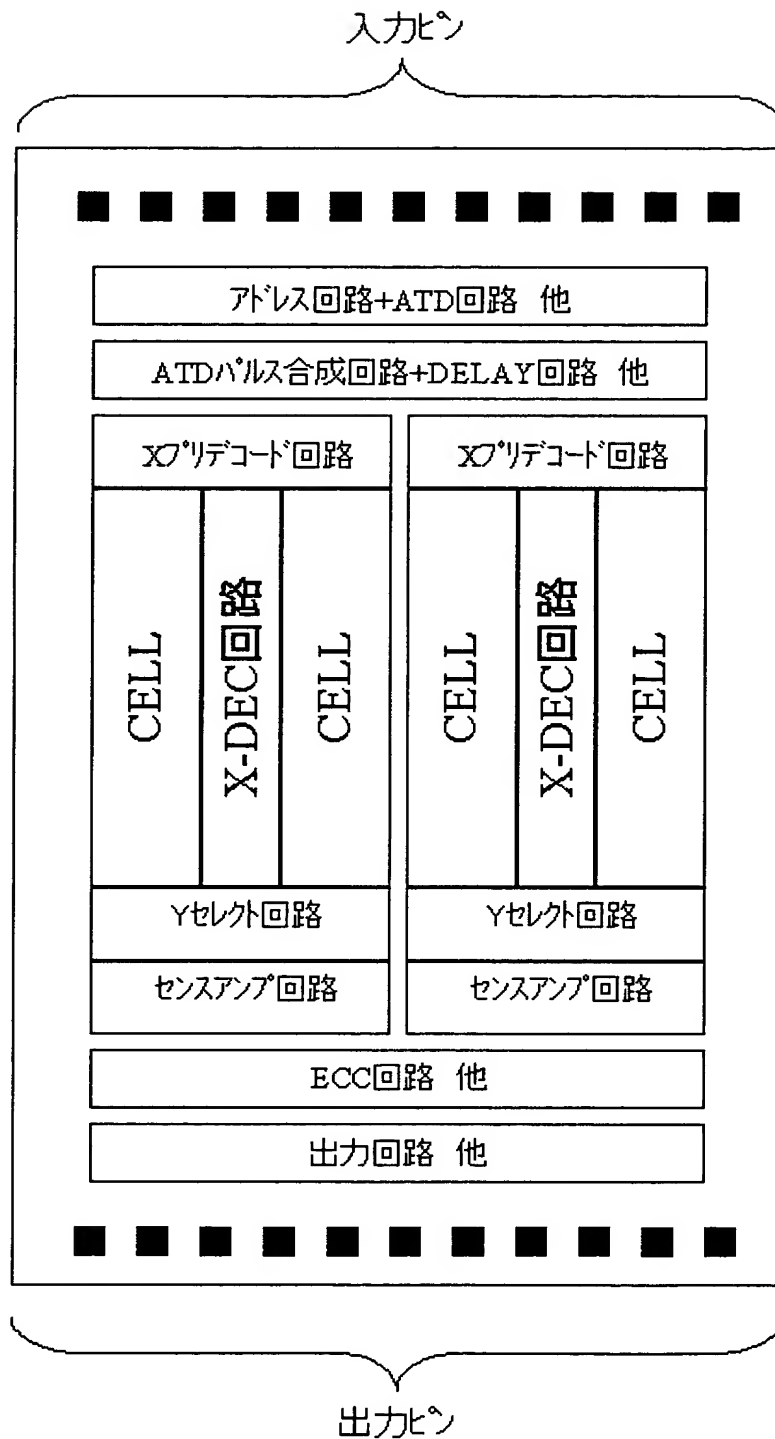
【図 1 0】



従来の第二の実施例

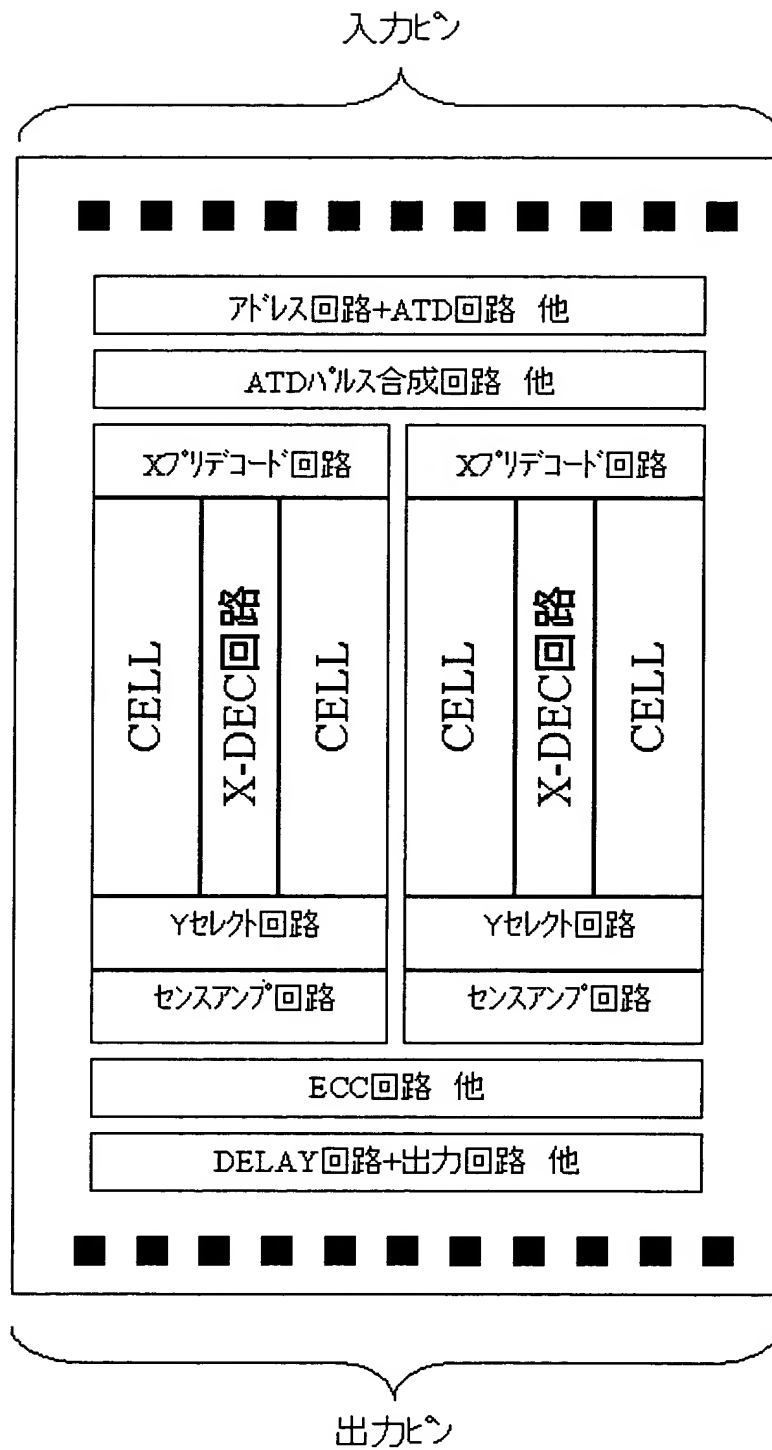


【図 1 1】



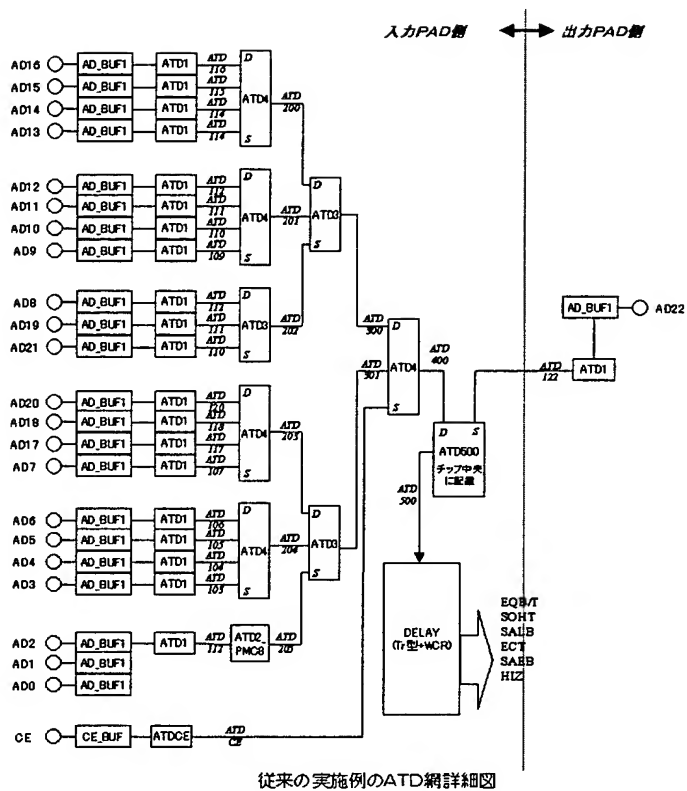
従来の第三の実施例

【図 1 2】



従来の第四の実施例

【図13】



【書類名】 要約書

【要約】

【課題】 A T D パルス合成回路をチップ中央に配置することで、寄生 C R を極力揃えることにより、寄生 C R で発生する遅延が同等またはそれ以上となり、誤データの出力を防止することができ、その結果、読み出しスピードの高速化並びに消費電流の削減が可能となる半導体記憶装置を提供する。

【解決手段】 入力ピン列及び出力ピン列と、16に分割されたメモリセルプレートと、前記分割された各々2枚のメモリセルの間に配置されたXデコード回路と、左右に配置された半数のメモリセルプレートのチップ中央側に配置されたYセレクト回路とセンスアンプ回路と、左右に配置された半数のメモリセルプレートのチップ外側に配置されたXプリデコード回路と、チップ中央部に左右に配置されたセンスアンプ回路の間に配置されたA T D パルス合成回路と出力回路と、からなる半導体記憶装置において、前記A T D パルス合成回路はチップ中央に配置され、前記出力回路は前記A T D パルス合成回路が配置されているレイアウト段で出力ピン近傍位置に配置され、入力ピンとセルプレートの間になくともアドレス回路とA T D 回路及びD E L A Y 回路が配置する。

【選択図】 図1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 1 9 8 9 5 3	
受付番号	5 0 2 0 0 9 9 8 2 3 5	
書類名	特許願	
担当官	第五担当上席	0 0 9 4
作成日	平成 1 4 年	7 月 1 1 日

< 認定情報・付加情報 >

【提出日】	平成14年 7月 8日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 2 3 2 0 3 6 ]

1. 変更年月日 2 0 0 1 年 5 月 2 1 日

[変更理由] 名称変更

住 所 神奈川県川崎市中原区小杉町1丁目403番53

氏 名 エヌイーシーマイクロシステム株式会社